

(5) Japanese Patent Laid-Open Gazette No. 6,93170: "Method for Manufacturing Field Effect Semiconductor Device"

In the manufacturing method of a field effect semiconductor device,  
15 an impurity introduction region which is of an opposite conductivity type of a back channel layer, is formed near the interface of a monocrystal insulating layer and a monocrystal semiconductor layer located below source region forming planned portion and a drain region forming planned portion.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭62-193170

⑬ Int. Cl.<sup>4</sup>

H 01 L 27/12  
29/78

識別記号

庁内整理番号

7514-5F  
8422-5F

⑭ 公開 昭和62年(1987)8月25日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 電界効果半導体装置の製造方法

⑯ 特 願 昭61-32889

⑰ 出 願 昭61(1986)2月19日

⑱ 発 明 者	有 本	由 弘	川崎市中原区上小田中1015番地	富士通株式会社内
⑱ 発 明 者	池 田	和 人	川崎市中原区上小田中1015番地	富士通株式会社内
⑱ 発 明 者	山 脇	秀 樹	川崎市中原区上小田中1015番地	富士通株式会社内
⑱ 発 明 者	記 村	隆 章	川崎市中原区上小田中1015番地	富士通株式会社内
⑲ 出 願 人	富 士 通 株 式 会 社		川崎市中原区上小田中1015番地	
⑳ 代 理 人	弁 理 士 柏 谷 昭 司		外 1 名	

明 細 書

1 発明の名称

電界効果半導体装置の製造方法

2 特許請求の範囲

単結晶絶縁層上に活性層となる単結晶半導体層を成長させる工程と、

次いで、該単結晶半導体層のソース領域形成予定部分及びドレイン領域形成予定部分に於ける前記単結晶半導体層と前記単結晶絶縁層との界面近傍にバック・チャネル層と反対導電型の不純物導入領域を形成する工程と、

次いで、該不純物導入領域の上方にそれとは反対導電型のソース領域及びドレイン領域を形成する工程と

が含まれてなる電界効果半導体装置の製造方法。

3 発明の詳細な説明

(概要)

本発明は、電界効果半導体装置の製造方法に於いて、ソース領域形成予定部分及びドレイン領域形成予定部分の下方に在る単結晶絶縁層と単結晶

半導体層との界面近傍にバック・チャネル層とは反対導電型の不純物導入領域を形成することに依り、ソース領域及びドレイン領域とバック・チャネル層とが接触してリーク電流が流れるのを防止できるようにしたものである。

(産業上の利用分野)

本発明は、単結晶絶縁層上に形成された活性層である単結晶半導体層に素子を作り込む形式の電界効果半導体装置の製造方法に関する。

(従来の技術)

近年、例えば、シリコン(Si)半導体基板/マグネシア・スピネル(MgO・Al<sub>2</sub>O<sub>3</sub>)層/Si半導体層、或いは、Si半導体基板/二酸化シリコン(SiO<sub>2</sub>)膜/MgO・Al<sub>2</sub>O<sub>3</sub>層/Si半導体層なる構成のウエハを用いて半導体装置を製造する技術、即ち、SOI(silicon on insulator)技術に関する研究・開発が盛んである。

このSOI技術は、高速且つ高集積の半導体装置を製造する場合に有効であるとして期待され、

また、3次元集積回路装置を製造する為の基本になる技術として注目されている。

一般に、例えば、 $MgO \cdot Al_2O_3$ 層上に成長されたSi層にnチャネル型MIS (metal insulator semiconductor) 電界効果半導体装置を作成するには、通常のパルクSi半導体基板にnチャネル型MIS電界効果半導体装置を製造する技術をそのまま適用している。

第4図は前記したような従来のSOI技術を適用して作成した電界効果半導体装置の要部切断側面図を表している。

図に於いて、1はSi半導体基板、2は $SiO_2$ 膜、3は $MgO \cdot Al_2O_3$ 層、4はp型Si半導体層、5は $SiO_2$ からなるフィールド絶縁膜、5'は燐珪酸ガラス (phosphosilicate glass: PSG) からなる保護膜、6は $SiO_2$ からなるゲート絶縁膜、7は不純物含有多結晶Siからなるゲート電極、8はn<sup>+</sup>型ソース領域、9はn<sup>+</sup>型ドレイン領域、10はソ

ース電極、11はドレイン電極をそれぞれ示している。

(発明が解決しようとする問題点)

前記説明した電界効果半導体装置を製造し、その特性を測定すると、かなり大きなリーク電流がソース・ドレイン間に流れることが判った。

その理由は、第4図に破線で示してあるように、 $MgO \cdot Al_2O_3$ 層3及びp型Si半導体層4の界面近傍に於けるp型Si半導体層4側にn型バック・チャネル層12が生成されてn<sup>+</sup>型ソース領域8及びn<sup>+</sup>型ドレイン領域9の間が短絡同然になってしまうからである。

このように、前記界面近傍のp型Si半導体層4側がn型に反転してバック・チャネル層12が形成されるのは、界面近傍のSi半導体には多量の結晶欠陥が発生していて、これ等がSi半導体層のエネルギー・バンド構造のなかにドナー・タイプのレベルを形成すること、また、 $MgO \cdot Al_2O_3$ からMgがSi半導体層中に拡散することに依る。

本発明は、ソース領域及びドレイン領域を形成する手段に簡単な改変を加えることに依り、ソース・ドレイン間リーク電流を低減したSOI構造の電界効果半導体装置を得られるようにする。

(問題点を解決するための手段)

本発明に依る電界効果半導体装置の製造方法に於いては、単結晶絶縁層 (例えば $MgO \cdot Al_2O_3$ 層3) 上に活性層となる単結晶半導体層 (例えばSi半導体層4) を成長させる工程と、次いで、該単結晶半導体層のソース領域形成予定部分及びドレイン領域形成予定部分に於ける前記単結晶半導体層と前記単結晶絶縁層との界面近傍にバック・チャネル層 (例えばバック・チャネル層12) と反対導電型の不純物導入領域 (例えばp<sup>+</sup>型不純物導入領域13及び14) を形成する工程と、次いで、該不純物導入領域の上方にそれとは反対導電型のソース領域 (例えばn<sup>+</sup>型ソース領域15) 及びドレイン領域 (例えばn<sup>+</sup>型ドレイン領域16) を形成する工程とが含まれてなる構成になっている。

(作用)

前記手段を採ることに依り得られた電界効果半導体装置では、前記単結晶半導体層と前記単結晶絶縁層との界面に生成される前記バック・チャネル層は前記不純物導入領域の作用で前記ソース領域及びドレイン領域と接触することがなく、従って、大きなリーク電流が流れることはなくなる。

(実施例)

第1図及び第2図は本発明一実施例を解説する為の工程要所に於けるこの種電界効果半導体装置の要部切断側面図を表し、第3図に於いて用いた記号と同記号は同部分を表すか或いは同じ意味を持つものとする。以下、これ等の図を参照しつつ説明する。

第1図参照

- (1) Si半導体基板1上に $SiO_2$ からなる絶縁膜2、 $MgO \cdot Al_2O_3$ 層3、p型Si半導体層4を形成し、次いで、フィールド絶縁膜5及びゲート絶縁膜となるべき薄い絶縁膜を形成し、次いで、不純物含有多結晶Siからなるゲ

ート電極7を形成し、次いで、ゲート電極7をマスクとして前記薄い絶縁膜をパターンニングしてゲート絶縁膜6を形成するまでは従来技術と変わらない。

前記各部分に関する諸データを提示すると次の通りである。

① 絶縁膜2について

形成技術：特殊熱酸化法 ( $MgO \cdot Al_2O_3$  層を介し、その下のSiのみを熱酸化し、 $SiO_2$ とする)

厚さ：5000 (Å)

②  $MgO \cdot Al_2O_3$  層3について

形成技術：気相エピタキシャル成長 (vapor phase epitaxy: VPE) 法

厚さ：2000 (Å)

③ p型Si半導体層4について

形成技術：SiH<sub>4</sub>-H<sub>2</sub>系VPE法

厚さ：5000 (Å)

不純物：硼素

不純物濃度： $1 \times 10^{16} (cm^{-3})$

④ ゲート絶縁膜6について

形成技術：熱酸化法

厚さ：500 (Å)

⑤ ゲート電極7について

形成技術：CVD法

厚さ：5000 (Å)

不純物：As

不純物濃度  $1 \times 10^{20} (cm^{-3})$

第2図参照

④ イオン注入法を適用することに依り、Si半導体層4と $MgO \cdot Al_2O_3$ 層3との界面近傍に不純物濃度のピークが存在するように硼素(B)の打ち込みを行ってから該注入されたBを活性化するための熱処理を行い、p<sup>+</sup>型不純物導入領域13及び14を形成する。尚、この場合、p<sup>+</sup>型不純物領域13及び14はゲート電極7をマスクとするセルフ・アライメント方式で形成されていることは言うまでもない。

この場合の諸データを例示すると次の通りである。

ある。

① 前記ピーク部分 (p<sup>+</sup>型不純物導入領域13及び14) に於けるBイオンのドーズ量： $1 \times 10^{12} (cm^{-2})$

② イオンの加速エネルギー：250 (KeV)

③ 熱処理温度：900 (℃)

④ 熱処理時間：10 (分)

第3図参照

④ イオン注入法を適用することに依り、P<sup>+</sup>或いは砒素 (As) の打ち込みを行ってから該P<sup>+</sup>或いはAsを活性化するための熱処理を行い、n<sup>+</sup>型ソース領域15及びn<sup>+</sup>型ドレイン領域16を形成する。尚、この場合のP<sup>+</sup>或いはAsの注入は、表面でBよりも充分に高濃度に、また、Si半導体層4と $MgO \cdot Al_2O_3$ 層3との界面近傍ではBよりも充分に低濃度となるように行われる。

この場合の諸データを例示すると次の通りである。

① 前記表面近傍に於けるAsのドーズ量：1

$\times 10^{16} (cm^{-2})$

② イオンの加速エネルギー：150 (KeV)

③ 熱処理温度：900 (℃)

④ 熱処理時間：10 (分)

(4) この後、通常のプロセスを適用することに依り、nチャネル電界効果半導体装置が完成される。尚、10はソース電極、11はドレイン電極を指示している。

図からも明らかなように、前記実施例に依り得られるnチャネル電界効果半導体装置では、n<sup>+</sup>型ソース領域15及びn<sup>+</sup>型ドレイン領域16の下方にp<sup>+</sup>型不純物導入領域13及びp<sup>+</sup>型不純物導入領域14がそれぞれ形成されている。

従って、Si半導体層4と $MgO \cdot Al_2O_3$ 層3との界面にn型バック・チャネル層12が生成されても、p<sup>+</sup>型不純物導入領域13及び14に阻止され、n<sup>+</sup>型ソース領域13及びn<sup>+</sup>型ドレイン領域14がn型バック・チャネル層12と接触することはない。

## 〔発明の効果〕

本発明に依る電界効果半導体装置の製造方法に於いては、ソース領域形成予定部分及びドレイン領域形成予定部分の下方に在る単結晶絶縁層と単結晶半導体層との界面近傍にバック・チャネル層とは反対導電型の不純物導入領域を形成するようにしている。

このような手段を採ることに依り得られる電界効果半導体装置では、前記単結晶半導体層と前記単結晶絶縁層との界面に生成される前記バック・チャネル層は前記不純物導入領域の作用で前記ソース領域及びドレイン領域と接触することは阻止され、従って、ソース・ドレイン間に大きなリーク電流が流れることはなくなる。

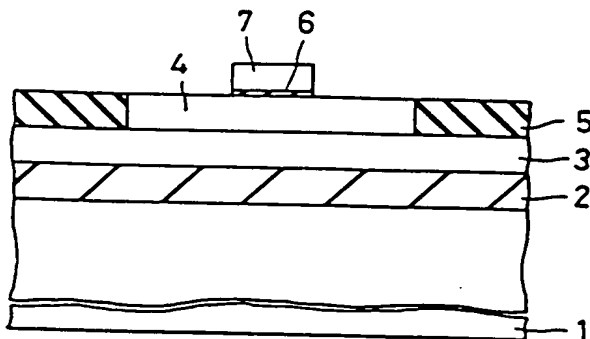
## 4 図面の簡単な説明

第1図乃至第3図は本発明一実施例を説明する為の工程要所に於ける電界効果半導体装置の要部切断側面図、第4図は従来例の要部切断側面図をそれぞれ表している。

図に於いて、1はSi半導体基板、2はSiO<sub>2</sub>

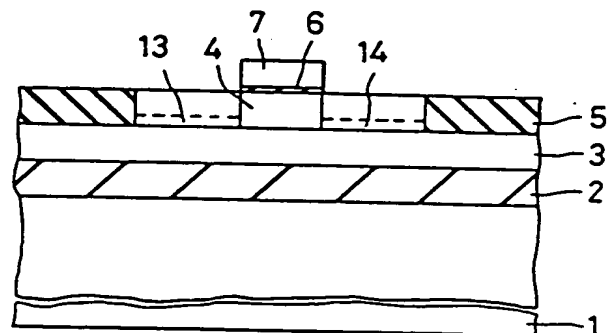
膜、3はMgO・Al<sub>2</sub>O<sub>3</sub>層、4はp型Si半導体層、5はSiO<sub>2</sub>からなるフィールド絶縁膜、5'はPSGからなる保護膜、6はSiO<sub>2</sub>からなるゲート絶縁膜、7は不純物含有多結晶Siからなるゲート電極、8はn<sup>+</sup>型ソース領域、9はn<sup>+</sup>型ドレイン領域、10はソース電極、11はドレイン電極、12はバック・チャネル層、13及び14はp<sup>+</sup>型不純物導入領域、15はn<sup>+</sup>型ソース領域、16はn<sup>+</sup>型ドレイン領域をそれぞれ示している。

特許出願人	富士通株式会社
代理人弁理士	柏谷昭司
代理人弁理士	渡邊弘一



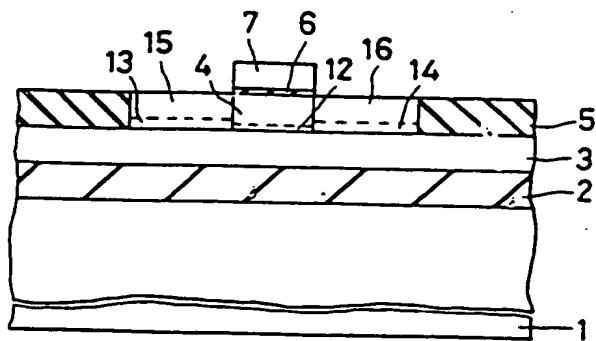
実施例を説明する為の要部切断側面図

第1図



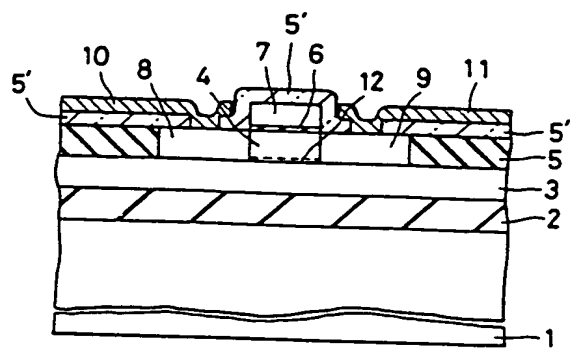
実施例を説明する為の要部切断側面図

第2図



実施例を説明する為の要部切断側面図

第 3 図



従来例を説明する為の要部切断側面図

第 4 図